

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 14 601.6

Anmeldetag: 31. März 2003

Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE

Bezeichnung: Halbleiterschaltung mit einer Schutzschaltung

IPC: H 01 L 23/62

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 15. April 2004
Deutsches Patent- und Markenamt
Der Präsident

Im Auftrag

A handwritten signature in black ink, appearing to be 'Sieck'.

Sieck

Patentanwälte · Postfach 246 · 82043 Pullach bei München

Infineon Technologies AG
St.-Martin-Straße 53

81669 München

PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977

e-mail: szsz_iplaw@t-online.de

HALBLEITERSCHALTUNG MIT EINER SCHUTZSCHALTUNG

Beschreibung

Halbleiterschaltung mit einer Schutzschaltung

5 Die vorliegende Erfindung bezieht sich auf eine Halbleiterschaltung in einem Halbleitersubstrat mit einer Schutzschaltung zum Schutz gegen eine Zerstörung der Halbleiterschaltung durch Verpolung eines Ausgangs der Halbleiterschaltung bei Herstellung oder Betrieb derselben.

10

Elektronische Baugruppen werden in der Regel über zumindest zwei Versorgungsspannungsanschlüsse mit elektrischer Leistung versorgt und liefern an mindestens einem Ausgang ein Ausgangssignal. Im Folgenden wird das niedrigste Versorgungspotential bzw. das niedrigste Potential, das an einem der Versorgungsspannungsanschlüsse anliegt, als Bezugspotential oder Masse und der Versorgungsspannungsanschluß, über den der elektronischen Baugruppe dieses Bezugspotential zugeführt wird als GND (GND = Ground = Masse) bezeichnet. Desgleichen werden im Folgenden der Versorgungsspannungsanschluß, an dem das höchste Versorgungspotential anliegt, mit VDD (VDD = ...) und der Ausgang mit OUT bezeichnet. Die elektrischen Potentiale, die an den Versorgungsspannungsanschlüssen GND und VDD sowie dem Ausgang OUT anliegen, werden mit V_{GND} , V_{VDD} bzw. V_{OUT} bezeichnet.

15
20
25

Im Normalbetrieb, d. h. in Betriebszuständen, für die die Baugruppe vorgesehen ist, liegt das Ausgangspotential V_{OUT} zwischen den Versorgungspotentialen V_{GND} , V_{VDD} , $V_{GND} \leq V_{OUT} \leq V_{VDD}$. Diese Relation gilt auch, wenn der Ausgang OUT der elektronischen Baugruppe kein Spannungsausgang sondern ein Stromausgang ist. In diesem Fall liefert der Ausgang OUT einen Ausgangsstrom I_{OUT} , der durch eine mit dem Ausgang OUT verbundene Last fließt und somit ein Potential V_{OUT} erzeugt, für das wiederum die obige Relation gilt. Es existieren Ausnahmefälle, bei denen beispielsweise der Ausgang OUT über einen Pull-up-Lastwiderstand mit einem externen Potential V_p

30
35

verbunden ist, und wobei $V_p > V_{VDD}$ sein kann. In diesem Fall ist je nach Aufgabe, Funktion und Betriebszustand der elektronischen Baugruppe $V_{OUT} > V_{VDD}$ möglich.

- 5 Bei elektronischen Baugruppen, die für die oben beschriebenen Potentialverhältnisse $V_{GND} \leq V_{OUT} \leq V_{VDD}$ vorgesehen und ausgelegt sind, kann es (versehentlich) passieren, daß $V_{OUT} < V_{GND}$ oder $V_{OUT} > V_{VDD}$ ist. Beispielsweise kann es beim Einbau der elektronischen Baugruppe in ein elektronisches System verse-
- 10 hentlich bzw. irrtümlich zu einem Kurzschluß oder allgemeiner zu einer nicht vorgesehenen elektrisch leitfähigen Verbindung zwischen Kontakten kommen, wodurch das Potential $V_{OUT} < V_{GND}$ oder $V_{OUT} > V_{VDD}$ wird. Während eines Betriebs der elektronischen Baugruppe kann es vorkommen, daß sich aufgrund eines
- 15 nicht vorhergesehenen oder bei der Auslegung der elektronischen Baugruppe nicht berücksichtigten Zusammenspiels der elektronischen Baugruppe mit einer oder mehreren anderen elektronischen Baugruppen eine Überspannung $V_{OUT} > V_{VDD}$ oder eine Unterspannung $V_{OUT} < V_{GND}$ am Ausgang OUT ergibt. Bei-
- 20 spielsweise kann eine induktive Last zumindest transient eine solche Über- oder Unterspannung am Ausgang OUT bewirken. Darüber hinaus können schlecht isolierte Kabel, Kabel- bzw. Leitungsbruch, fehlerhafte Lötverbindungen, sich lösende Kabelschuhe und ähnliche Ereignisse eine Über- oder Unter-
- 25 spannung am Ausgang OUT bewirken.

- Oftmals wird es für elektronische Baugruppen gefordert, daß diese nicht beschädigt oder zerstört werden, wenn dem Ausgang OUT ein Potential V_{OUT} aufgeprägt wird, das $V_{OUT} > V_{VDD}$ oder $V_{OUT} < V_{GND}$ ist. Wenn die elektronischen Bauelemente bzw. Komponenten der elektronischen Baugruppe, die mit dem Ausgang OUT verbunden sind, diskrete Bauteile bzw. Komponenten sind, beispielsweise diskrete Leistungstransistoren, dann ist diese Anforderung in der Regel ohne weiteres erfüllt bzw. Über-
- 30 oder Unterspannungen stellen einen unerheblichen Belastungsfall dar.
- 35

Völlig anders sind die Bedingungen jedoch, wenn die Bauteilen der elektronischen Baugruppe, die mit dem Ausgang OUT verbunden sind, in einem gemeinsamen leitfähigen Substrat angeordnet bzw. gebildet sind, wie dies beispielsweise in der überwiegenden Mehrzahl integrierter Schaltkreise (ICs) der Fall ist. Bei integrierten Schaltkreisen in Halbleitersubstraten werden regelmäßig einzelne Bauteile durch gesperrte pn-Übergänge vom Substrat elektrisch isoliert. Diese pn-Übergänge sind so angeordnet, daß im normalen Betrieb ($V_{\text{GND}} \leq V_{\text{OUT}} \leq V_{\text{VDD}}$) jeweils die p-dotierten Teile der pn-Übergänge nach Substrat auf niedrigerem Potential liegen als die n-dotierten Teile. Durch ein Unterspannungsereignis ($V_{\text{OUT}} < V_{\text{GND}}$) oder ein Überspannungsereignis ($V_{\text{OUT}} > V_{\text{VDD}}$), wie es oben beschrieben wurde, können Spannungen in Durchlaßrichtung an den pn-Übergängen erzeugt werden. Dadurch entstehen unerwünschte niederohmige Verbindungen einzelner Bauteile mit dem Substrat oder über das Substrat miteinander. Ein solcher Kurzschluß hat in der Regel eine Zerstörung der integrierten Schaltung zur Folge.

Im Folgenden wird anhand der Fig. 7 und 8 die Wirkung eines solchen Unterspannungsereignisses $V_{\text{OUT}} < V_{\text{GND}}$ beschrieben. Fig. 7 zeigt ein schematisiertes Schaltbild einer integrierten Schaltung mit einem Operationsverstärker OP. Der Operationsverstärker OP umfaßt eine Ausgangsstufe, die einen pnp-Transistor PNP und einen npn-Transistor NPN umfaßt. Der Ausgang des Operationsverstärkers OP steuert einen Ausgang bzw. Ausgangsspannungsanschluß OUT der integrierten Schaltung an. Emitter, Basis und Kollektor des pnp-Transistors PNP sind mit ep, bp bzw. cp bezeichnet, Emitter, Basis und Kollektor des npn-Transistors NPN sind mit en, bn bzw. cn bezeichnet.

Die Details der Schaltung des nichtinvertierenden Eingangs (+) und des invertierenden Eingangs (-) des Operationsverstärkers OP sind in dieser schematischen Darstellung weitgehend weggelassen, wobei lediglich eine Rückkopplung des

Ausgangs des Operationsverstärkers OP über einen Widerstand R_a an den invertierenden Eingang (-) dargestellt ist.

Der Emitter e_p des pnp-Transistors PNP ist mit dem Versorgungsspannungsanschluß VDD verbunden, und der Emitter e_n des npn-Transistors NPN ist mit dem Versorgungsspannungsanschluß GND verbunden. Die integrierte Schaltung ist in einem p-Substrat gebildet. Ein Spannungsteiler aus zwei in Serie geschalteten Widerständen R_a und R_b ist zwischen den Ausgang des Operationsverstärkers OP bzw. den Ausgang OUT der integrierten Schaltung einerseits und das p-Substrat andererseits geschaltet. Zur Rückkopplung des Operationsverstärkers OP ist der Mittenabgriff dieses Spannungsteilers zwischen den Widerständen R_a und R_b mit dem invertierenden Eingang (-) des Operationsverstärkers OP verbunden.

Die Kollektoren c_p , c_n des pnp-Transistors PNP und des npn-Transistors NPN sind mit dem Ausgang OUT verbunden. Dadurch kann der Operationsverstärker OP Ausgangspotentiale V_{OUT} erzeugen, die zwischen V_{GND} und V_{VDD} liegen.

Fig. 8 zeigt den technologischen Aufbau der in Fig. 7 dargestellten integrierten Schaltung in einem vertikalen Schnitt bzw. einem Schnitt senkrecht zur Oberfläche des p-Substrats, in dem die Bauelemente der integrierten Schaltung gebildet sind. Wie bereits bei der Beschreibung der Fig. 7 erwähnt, wird in diesem Beispiel von einem p-Substrat bzw. einem p-dotierten Substrat ausgegangen. Um in einem normalen Betriebsmodus alle Bauelemente bzw. Bauteile der integrierten Schaltung über dem p-Substrat elektrisch zu isolieren, ist es üblich, das p-Substrat mit dem niedrigeren Versorgungspotential V_{GND} zu verbinden. Dadurch liegt das Substrat am niedrigsten Potential, während alle Bauelemente an einem höheren Potential liegen oder zumindest nicht an einem niedrigeren. Sämtliche pn-Übergänge zwischen dem p-Substrat (p-dotiert, Anode) und den Bauelementen oder Teilen derselben (n-dotiert, Kathode) werden somit entweder in Sperrichtung betrieben oder

zumindest nicht in Flußrichtung. Folglich fließt kein oder nur ein sehr kleiner Strom von den diversen Bauelementen über die pn-Übergänge in das p-Substrat.

- 5 Es wird angemerkt, daß es möglich ist, Strom in das p-Substrat zu injizieren, wenn dies erwünscht ist. Dazu kann beispielsweise ein vertikaler Substrat-pnp-Übergang verwendet werden, dessen Kollektor mit dem p-Substrat identisch ist. Im Gegensatz dazu werden die oben beschriebenen pn-Übergänge
10 zwischen dem p-Substrat und Bauelementen bzw. Teilen derselben als parasitäre pn-Übergänge bezeichnet, die wie beschrieben in einem normalen Betriebsmodus ausnahmslos sperren sollen. Diese parasitären pn-Übergänge liegen, wie erwähnt -
15 nur deshalb vor, da die Bauelemente in dem p-Substrat angeordnet sind.

- In Fig. 8 sind nebeneinander im Querschnitt der npn-Transistor NPN und der pnp-Transistor PNP dargestellt. Der npn-Transistor NPN umfaßt einen ringförmigen Kollektorteilbereich bzw. n-Sinker nSink, der relativ stark n-dotiert ist,
20 um möglichst gut elektrisch leitfähig zu sein. Der n-Sinker nSink wird auch als n-Sinker-Diffusion bezeichnet. Der n-Sinker nSink kontaktiert eine niedrig n-dotierte epitaktisch erzeugte n-Epitaxie-Schicht nEpi. Um den Einfluß des relativ hohen elektrischen Widerstandes der n-Epitaxie-Schicht nEpi zu verringern, ist parallel zu der n-Epitaxie-Schicht nEpi
bzw. zwischen dieser und dem p-Substrat eine stark n-dotierte vergrabene Schicht bzw. n-Buried-Layer angeordnet. Innerhalb
30 der ringförmigen n-Sinker-Diffusion nSink ist ein wannenförmiger p-dotierter Basis-Bereich pBase angeordnet, der in vertikaler Richtung von der n-dotierten vergrabenen Schicht nBl beabstandet ist und die Basis des npn-Transistors NPN bildet. Ein n-dotierter Emitter-Bereich nEmitter ist sowohl
35 von der n-Sinker-Diffusion nSink als auch der n-Epitaxie-Schicht nEpi räumlich beabstandet bzw. von denselben durch den p-dotierten Bereich pBase räumlich getrennt angeordnet und bildet den Emitter des npn-Transistors NPN.

Hochdotierte Bereiche an der Oberfläche 10 des p-Substrats innerhalb der n-Sinker-Diffusion nSink, der Basis pBase und des Emitters nEmitter dienen zur Herstellung ohmscher Kontakte mit einer oder mehreren auf der Oberfläche 10 des p-Substrats angeordneten Verdrahtungsebenen bzw. darin angeordneten Verdrahtungsleiterbahnen, die zumeist aus Aluminium bestehen. Diese hochdotierten Bereiche bilden den Emitter-Kontakt 12, die Basis-Kontakte 14 und die Kollektor-Kontakte 16 des npn-Transistors NPN. Innerhalb des npn-Transistors NPN ist der Stromfluß vom Kollektor bzw. der n-Epitaxie-Schicht nEpi über die Basis bzw. den Basis-Bereich pBase zu dem Emitter bzw. dem Emitter-Bereich nEmitter vertikal bzw. senkrecht zur Oberfläche 10 des p-Substrats.

Der pnp-Transistor PNP umfaßt einen kleinen stark p-dotierten Emitter 22, der lateral von einem p-dotierten Kollektor 24 umgeben ist. Der Kollektor 24 ist von einer ebenfalls ringförmigen n-dotierten Basis 26 umgeben. Emitter 22, Kollektor 24 und Basis 26 sind, beispielsweise durch Diffusion, in der n-Epitaxie-Schicht nEpi gebildet, die von dem p-Substrat durch die n-dotierte vergrabene Schicht nBl räumlich getrennt ist. Im pnp-Transistor PNP ist der Stromfluß vom Emitter 22 zur Basis 26 parallel zur Oberfläche des p-Substrats, der pnp-Transistor PNP wird deshalb als laterales Bauelement bezeichnet.

Lateral zwischen dem npn-Transistor NPN und dem pnp-Transistor PNP ist eine p-Isolationsdiffusion pIso angeordnet, die über eine darunterliegende p-dotierte vergrabene Schicht bzw. p-Buried-Layer pBL das p-Substrat kontaktiert. Auch die p-Isolationsdiffusionen pIso umfassen stark p-dotierte Anschlußbereiche, über die ohmsche Kontakte zur darüberliegenden Verdrahtungsebene hergestellt werden.

Der Emitter 22, der Kollektor 24 und die Basis 26 des pnp-Transistors PNP umfassen hochdotierte Bereiche an der Ober-

fläche 10 des Substrats pSubstrat, welche als Emitter-Anschluß 32, Kollektor-Anschluß 34 und Basis-Anschluß 36 zur Herstellung ohmscher Kontakte mit darüberliegenden Verdrahungsleiterbahnen dienen.

5

In Fig. 8 ist deutlich erkennbar, daß die n-Sinker-Diffusion nSink, die n-Epitaxie-Schicht nEpi und die n-dotierte vergrabene Schicht nBL die Kathode und das p-Substrat die Anode einer parasitären Diode bilden. Solange das p-Substrat ein niedrigeres bzw. negativeres elektrisches Potential aufweist als die n-Sinker-Diffusion nSink, die n-Epitaxie-Schicht nEpi und die n-dotierte vergrabene Schicht nBL, wird diese parasitäre Diode in Sperrichtung betrieben. Sobald jedoch am Ausgang OUT ein elektrisches Potential anliegt, das um mehr als einen Diodenflußspannung niedriger als das Versorgungspotential V_{GND} ist, fließt ein großer Strom über diese parasitäre Diode, der eine starke Erwärmung der integrierten Schaltung und schließlich deren Zerstörung zur Folge hat. Diese Diodenflußspannung beträgt in Silizium ca. 0,6 V bei Zimmertemperatur und sinkt bei höheren Temperaturen. Beispielsweise beträgt die Diodenflußspannung bei 150°C ca. 0,3 V. Bei dieser Temperatur muß also sichergestellt sein, daß $V_{OUT} - V_{GND} > -0,3$ V gilt. Für $V_{OUT} - V_{GND} < -0,3$ V liegt bei 150°C der eingangs als Unterspannung beschriebene Fall vor.

25

Für zahlreiche Schaltungen, beispielsweise für automotiv oder industrielle Anwendungen, die in rauhem Feldebetrieb eingesetzt werden, ist jedoch eine große Robustheit gefordert und insbesondere eine Kurzschlußfestigkeit integrierter Schaltungen bis $V_{OUT} - V_{GND} = -10$ V.

30

Es wird angemerkt, daß bei Verwendung eines n-dotierten Substrats anstelle des in den Fig. 7 und 8 gezeigten p-Substrats das n-Substrat mit dem Versorgungsspannungsanschluß VDD verbunden ist. Dadurch liegt das n-Substrat im normalen Betriebsmodus auf dem höchsten Potential, das an der integrierten Schaltung anliegt. Dadurch sind alle pn-Übergänge

35

zwischen dem n-Substrat und darin gebildeten Bauelementen bzw. Teilen derselben gesperrt. Liegt ein pnp-Transistor PNP direkt im n-Substrat und steuert der p-Kollektor dieses Transistors den Ausgang OUT, so darf V_{OUT} nicht über V_{DD} ansteigen, da sonst der parasitäre pn-Übergang zwischen dem p-Kollektor und dem n-Substrat in Flußrichtung gepolt ist und der resultierende starke Strom eine starke Erwärmung der integrierten Schaltung und deren Zerstörung zur Folge hat.

- 10 Ähnliche Verhältnisse bzw. das gleiche Problem treten auf, wenn in den anhand der Fig. 7 und 8 beispielhaft beschriebenen Schaltungen die npn- bzw. pnp-Bipolar-Transistoren durch n- bzw. p-MOS-Transistoren ersetzt werden. Anstelle des Kollektors des npn-Bipolar-Transistors tritt dann hinsichtlich der obigen Betrachtungen beispielsweise das Drain des n-MOS-Transistors. Genau wie der Kollektor des npn-Bipolar-Transistors ist auch das Drain des n-MOS-Transistors n-dotiert und bildet mit dem p-Substrat einen pn-Übergang, der in Durchlaßrichtung gepolt ist bzw. einen Kurzschluß zwischen dem Drain und dem p-Substrat bildet, wenn an dem Drain ein gegenüber dem Substrat (V_{GND}) negativeres Potential anliegt.

- Hinsichtlich der obigen Kurzschluß-Betrachtungen entspricht das Drain eines p-MOS-Transistors dem Kollektor eines pnp-Bipolar-Transistors. Beide sind p-dotiert und bilden mit dem n-Substrat einen pn-Übergang, der in Durchlaßrichtung gepolt bzw. kurzgeschlossen wird, wenn an dem Drain bzw. dem Kollektor ein gegenüber dem n-Substrat, das mit dem höchsten Versorgungspotential V_{DD} verbunden ist, positiveres Potential anliegt. Diese Problematik existiert sowohl für Standard-CMOS-Prozesse als auch für BiCMOS-Prozesse.

- Eine sehr einfache herkömmliche Lösung des oben anhand der Fig. 7 und 8 dargestellten Problems der Empfindlichkeit einer integrierten Schaltung gegenüber einer Unter- bzw. Überspannung ist Im Folgenden anhand der Fig. 9 beschrieben. Die hier entsprechend der Fig. 8 in einem vertikalen Schnitt darge-

stellte integrierte Schaltung unterscheidet sich von der in den Fig. 7 und 8 dargestellten dadurch, daß zwischen die Kollektoren c_n , c_p des npn-Transistors NPN und des pnp-Transistors PNP einerseits und den Ausgang OUT der integrierten Schaltung andererseits ein Widerstand R geschaltet ist, der durch isolierende Schichten von anderen Diffusionsgebieten des ICs getrennt ist (z. B. ein Polysilizium-Widerstand). Auch hier sind die parasitären pn-Übergänge zwischen dem Kollektor des npn-Transistors NPN und dem p-Substrat wieder in Flußrichtung gepolt, wenn der Fall der Unterspannung $V_{OUT} < V_{GND}$ auftritt. Der Widerstand R begrenzt hier jedoch den Stromfluß auf ein Maß, das noch nicht zu einer Zerstörung der integrierten Schaltung führt. Wenn der Wert des Widerstandes R beispielsweise 50Ω beträgt, so wird der Stromfluß bei $V_{OUT} - V_{GND} = -5 \text{ V}$ bei Raumtemperatur auf ca. $(5 \text{ V} - 0,6 \text{ V}) / 50 \Omega = 88 \text{ mA}$ begrenzt, wenn die Flußspannung bzw. Durchlaßspannung des pn-Übergangs $0,6 \text{ V}$ beträgt. Bei dem Strom $I = 88 \text{ mA}$ beträgt die Verlustleistung bzw. die in der integrierten Schaltung aufgrund des Unterspannungs-Ereignisses umgesetzte Leistung $0,44 \text{ W}$. Wenn die integrierte Schaltung bzw. der Chip, in dem dieselbe gebildet ist, in einem kleinen Plastikgehäuse montiert ist, beträgt der thermische Übergangswiderstand zwischen dem Substrat und der Umgebung größenordnungsmäßig 100°C/W , so daß sich die integrierte Schaltung gegenüber der Umgebungstemperatur um ca. 44°C erwärmt.

Zum Vergleich wäre der Stromfluß ohne den Widerstand R ca. 10-fach so hoch oder noch höher, wodurch sich die integrierte Schaltung um mindestens ca. 440°C gegenüber der Umgebung erwärmen würde. Dies hätte eine sofortige thermische Zerstörung derselben zur Folge.

Allgemein besteht diese herkömmliche Lösung also darin, einen Widerstand R zwischen den Ausgang OUT einerseits und allen durch eine Verpolung gefährdeten Diffusionsgebieten an der integrierten Schaltung andererseits einzufügen. Dabei darf der Widerstand R selbst aus keinem gefährdeten Diffusionsgebiet

bestehen. Zur Realisierung des Widerstands R kann beispielsweise Poly-Niederohm bzw. niederohmiges Polysilizium verwendet werden. Das niederohmige Polysilizium wird vom Substrat und allen darin liegenden Diffusionsgebieten isoliert, indem man vor Erzeugung des niederohmigen Polysiliziums ein dickes Dielektrikum, beispielsweise Feldoxid, auf die Substratoberfläche aufbringt. Auf dem dicken Dielektrikum wird das niederohmige Polysilizium abgeschieden und geeignet dotiert. Die lateral strukturierte niederohmige Polysiliziumschicht bildet einen Widerstandsfleck, der abgesehen von Kontaktzonen, an denen der Widerstand nachträglich mit Verdrahtungsleitern in Verdrahtungsebenen verbunden wird, mit einer darüberliegenden nichtleitenden Schicht hermetisch versiegelt.

Der anhand der Fig. 9 dargestellte Widerstand R ist zwar für viele lineare Ausgänge bzw. Ausgänge, die von einem Verstärker angesteuert werden, einsetzbar, die Verwendung des Widerstandes R weist jedoch in der Praxis mehrere Im Folgenden beschriebene Nachteile auf.

Zum Schutz der integrierten Schaltung gegen die Folgen einer Verpolung bzw. einer Unter- oder Überspannung am Ausgang OUT ist der Wert des Widerstandes R möglichst groß zu wählen. Andererseits liegt der Widerstand R in Serie zu einer extern angeschlossenen Last R_L . Ein großer Wert des Widerstandes R erzeugt deshalb zusätzliche Fehler bzw. Limitierungen im Normalbetrieb, da eine Spannungsaufteilung zwischen der extern angeschlossenen Last R_L und dem Widerstand R auftritt. An der externen Last R_L liegt nicht mehr die gesamte Spannung des Operationsverstärkerausgangs an, d. h. der Aussteuerbereich wird verkleinert.

Beispielsweise sei angenommen, daß der erlaubte Lastwiderstand R_L mindestens $R_L = 5000 \Omega$ beträgt. Wenn der Widerstand $R = 50 \Omega$ beträgt, so fällt am Widerstand R ca. 1 % der Ausgangsspannung des Operationsverstärkers OP bzw. der integrierten Schaltung ab. Eine häufige Forderung bzw. Anforderung

rung ist, daß die Ausgangsspannung Werte zwischen 2 % und 98 % der Betriebsspannung $V_{DD} - V_{GND}$ annehmen können muß. Wenn 1 % der Ausgangsspannung des Operationsverstärkers OP am Widerstand R abfällt, so muß der Ausgang des Operationsverstärkers OP Spannungen im Bereich von 1 % bis 99 % der Betriebsspannung annehmen. Um dies zu erreichen, müssen die Ausgangstransistoren NPN und PNP des Operationsverstärkers OP wesentlich größer dimensioniert werden als dies für die einfache zu erfüllende Forderung, daß die Ausgangsspannung des Operationsverstärkers OP Werte zwischen 2 % und 98 % der Betriebsspannung annehmen kann, der Fall wäre.

Hinzu kommt, daß der Wert des Widerstandes R einer Prozeßstreuung sowie einem Temperaturgang unterliegt. Typisch ist, daß bei einem Nominalwert von $R = 50 \Omega$ bei einem ungünstigen Fertigungslos der Istwert des Widerstandes R durchaus auch einmal 75Ω bei Zimmertemperatur betragen kann. Bei einer extremen Temperatur kann sich dieser Wert verdoppeln und dann ca. 150Ω betragen. In diesem schlimmsten Fall bzw. Worst-Case-Szenario fallen bereits 2,9 % der Ausgangsspannung des Operationsverstärkers OP am Widerstand R ab. Am Ausgang OUT der integrierten Schaltung liegen somit selbst dann, wenn die Transistoren NPN und PNP eine Sättigungsspannung von 0 V aufweisen würden, nur noch Ausgangsspannungen zwischen 2,9 % und 97,1 % der Betriebsspannung an. Damit erfüllt der Ausgangsspannungsbereich bereits nicht mehr die Kundenanforderung.

Ein weiterer Nachteil der beschriebenen Verwendung des Widerstands R besteht darin, daß dieser nicht als Diffusionswiderstand ausgeführt sein darf, da er in diesem Fall einen pn-Übergang zum Substrat hätte, der bei Über- oder Unterspannung am Ausgang OUT in Flußrichtung gepolt sein kann. Wie bereits erwähnt wird statt dessen üblicherweise Polysilizium zur Bildung des Widerstandes R verwendet, das auf Feldoxyd angeordnet bzw. von dem Substrat durch das Feldoxyd räumlich getrennt und elektrisch isoliert ist. Ein solcher Widerstand

aus Polysilizium auf Feldoxyd weist keinen pn-Übergang mit seiner Umgebung und insbesondere dem Substrat auf. Deshalb können an dem Polysilizium-Widerstand beliebige Potentiale bzw. Spannungen beliebiger Polarität gegenüber dem Substrat anliegen. Feldoxyd und insbesondere eine dicke Feldoxydschicht ist jedoch ein guter thermischer Isolator, weshalb die in dem Polysilizium-Widerstand umgesetzte Verlustleistung wesentlich schwerer abgeleitet werden kann, als dies bei einer Struktur bzw. einem Widerstand der Fall ist, der direkt im thermischen gut leitfähigen Substrat angeordnet ist. Deshalb muß das Layout eines solchen Silizium-Widerstands, der durch Feldoxyd von dem Substrat isoliert ist, extrem großflächig gewählt werden, um über die große Fläche die Verlustleistung möglichst gut abführen zu können. Wird der Polysilizium-Widerstand zu klein bzw. zu kleinflächig ausgeführt, so wird er durch die in ihm erzeugte Verlustleistung zerstört.

In teuren Siliziumtechnologien stehen zwei Sorten von Polysilizium zur Verfügung, nämlich hochohmiges und niederohmiges Polysilizium. In billigen Siliziumtechnologien steht jedoch nur niederohmiges Polysilizium zur Verfügung. Selbst wenn jedoch das hochohmige Polysilizium zur Verfügung steht, ist es zur Realisierung des Widerstandes R mit einem Wert von ca. 50Ω jedoch nicht verwendbar, da der Squarewiderstand bzw. der Schichtwiderstand des hochohmigen Polysilизiums ca. $1000 \Omega/\text{Square}$ beträgt. Für einen Widerstand von ca. 50Ω eignet sich deshalb nur das niederohmige Polysilizium, dessen Squarewiderstand in der Größenordnung von $100 \Omega/\text{Square}$ liegt. Niederohmiges Polysilizium hat jedoch den Nachteil, daß es lediglich einen leicht positiven Temperaturkoeffizienten (typischerweise in der Größenordnung von $+100 \text{ ppm}/^\circ\text{C}$) aufweist und somit mit zunehmender Temperatur lediglich geringfügig hochohmiger wird. Die Schutzwirkung des Widerstandes R ist deshalb, wenn er aus niederohmigem Polysilizium hergestellt ist, gerade bei den besonders kritischen hohen Temperaturen unzureichend.

Die obigen Ausführungen zeigen, daß bis dato keine befriedigende Lösung zum Schutz einer Halbleiterschaltung gegen eine an ihrem Ausgang anliegende Über- oder Unterspannung existiert.

Die Aufgabe der vorliegenden Erfindung besteht somit darin, eine verbesserte Halbleiterschaltung mit einem Ausgang zu schaffen, die gegenüber einer Verpolung des Ausgangs unempfindlich ist.

Diese Aufgabe wird durch eine Halbleiterschaltung gemäß Anspruch 1 gelöst.

Die vorliegenden Erfindung schafft eine Halbleiterschaltung in einem Halbleitersubstrat mit einem ersten Eingang zum Zuführen eines ersten Versorgungspotentials, einem zweiten Eingang zum Zuführen eines zweiten Versorgungspotentials, das höher liegt als das erste Versorgungspotential, einem Bauelement, einem Ausgang, einem parasitären pn-Übergang zwischen dem Bauelement und dem Halbleitersubstrat, der bei einem ersten Verpolungspotential an dem Ausgang, das kleiner als das erste Versorgungspotential ist, oder bei einem zweiten Verpolungspotential an dem Ausgang, das größer als das zweite Versorgungspotential ist, leitfähig ist, und einer Schutzschaltung, die zwischen dem Ausgang und den pn-Übergang geschaltet ist, und deren elektrischer Widerstand bei dem ersten Verpolungspotential an dem Ausgang bzw. bei dem zweiten Verpolungspotential an dem Ausgang höher ist als bei einem normalen Betriebspotential an dem Ausgang, das zwischen dem ersten Versorgungspotential und dem zweiten Versorgungspotential liegt.

Der vorliegenden Erfindung liegt die Idee zugrunde, zwischen jene pn-Übergänge einer integrierten Schaltung, die bei einer Verpolung des Ausgangs OUT leitfähig werden, und den Ausgang OUT ein selbstleitendes Bauelement, insbesondere einen

selbstleitenden Feldeffekttransistor zu schalten, der durch eine negative Rückkopplung über sein Gate für eine betragsmäßig steigende Drain-Source-Spannung einen steigenden Drain-Source-Widerstand erzeugt. Durch eine solche gewollte Nicht-linearität wird die Verlustleistung bei einer Verpolspannung mit großem Betrag weitgehend klein gehalten. Anders ausgedrückt wird also das selbstleitende Bauelement bei stärkerer Verpolung höherohmig.

- 10 Das selbstleitende Bauelement ist dabei so aufgebaut, daß es selbst keine parasitären pn-Übergänge zum Substrat aufweist, die bei einer Verpolung des Ausgangs OUT leitfähig werden. Vorzugsweise weist das selbstleitende Bauelement einen positiven Temperaturkoeffizienten seines Widerstandes R_{ds_on} auf.
- 15 Vorzugsweise umfaßt das selbstleitende Bauelement im Fall eines p-dotierten Substrats einen pJFET und im Fall eines n-dotierten Substrats einen nJFET.

Ein Vorteil der vorliegenden Erfindung besteht darin, daß sie die integrierte Schaltung bei einer Verpolung am Ausgang optimal schützt, da die Schutzschaltung mit zunehmender Verpolung hochohmiger wird, daß die Schutzschaltung im Normalbetrieb jedoch nur minimal störend wirkt, da sie dann relativ niederohmig ist.

- 25 Ein besonderer Vorteil der vorliegenden Erfindung bei Verwendung eines pJFET bzw. eines nJFET ist der positive Temperaturkoeffizient des Drain-Source-Widerstands. Er beträgt +1000 ppm/°C oder mehr, bevorzugt +3000 ppm/°C bis +5000 ppm/°C und besonders bevorzugt +4000 ppm/°C. Mit steigender Temperatur des JFETs vergrößert sich dessen Kanalwiderstand. Dadurch kommt es im Verpolungsfall zu einer negativen Rückkopplung, so daß die verlustleistungsbegrenzende Wirkung der Schutzschaltung mit dem JFET thermisch stabil ist.

Ein weiterer Vorteil der vorliegenden Erfindung besteht darin, daß sie mit herkömmlichen Halbleitertechnologien kompatibel ist.

5 Ein weiterer Vorteil besteht darin, daß die vorliegende Erfindung sowohl mit Halbleiterschaltungen mit einem linearen Ausgang bzw. einer linearen Ausgangsstufe als auch mit Halbleiterschaltungen mit einem digitalen Ausgang verwendbar ist.

10 Bevorzugte Weiterbildungen der vorliegenden Erfindung sind in den Unteransprüchen definiert.


 Nachfolgend werden bevorzugte Ausführungsbeispiel der vorliegenden Erfindung anhand der beiliegenden Fig. näher erläutert. Es zeigen:

Fig. 1 ein schematisches Schaltungsdiagramm einer Halbleiterschaltung gemäß einem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

20

Fig. 2 eine schematische Darstellung eines Schnitts durch ein Halbleitersubstrat mit der Schaltung aus Fig. 1;

 25

Fig. 3 ein schematisches Schaltungsdiagramm einer Halbleiterschaltung gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung;

30

Fig. 4 ein schematisches Schaltungsdiagramm einer Halbleiterschaltung gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung;

35

Fig. 5 ein schematisches Diagramm, das Ergebnisse von Messungen an der Halbleiterschaltung aus Fig. 4 zeigt;

Fig. 6 ein schematisches Diagramm, das Ergebnisse von Messungen an der Halbleiterschaltung aus Fig. 4 zeigt;

5 Fig. 7 ein schematisches Schaltungsdiagramm einer herkömmlichen Halbleiterschaltung;

Fig. 8 eine schematische Darstellung eines Schnitts durch ein Substrat mit der Halbleiterschaltung aus Fig. 7; und
10

Fig. 9 eine schematische Darstellung eines Schnitts durch ein Substrat mit einer weiteren herkömmlichen Halbleiterschaltung.
15

Fig. 1 ist ein schematisches Schaltungsdiagramm einer Halbleiterschaltung gemäß einem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung. Ähnlich den herkömmlichen Halbleiterschaltungen, die oben anhand der Fig. 7 bis 9 dargestellt wurden, weist die Halbleiterschaltung gemäß dem ersten Ausführungsbeispiel der vorliegenden Erfindung einen pnp-Transistor PNP und einen npn-Transistor NPN auf, die zwischen einen Bezugspotentialeingang GND und einen Versorgungspotentialeingang VDD geschaltet sind. Der Emitter ep des pnp-Transistors PNP ist mit dem Versorgungspotentialeingang VDD verbunden, der Emitter en des npn-Transistors NPN ist mit dem Bezugspotentialeingang GND verbunden und die Kollektoren cp, cn des pnp-Transistors PNP und des npn-Transistors NPN sind miteinander und über eine nachfolgend beschriebene Schutzschaltung mit einem Ausgang OUT der Halbleiterschaltung verbunden. Der Emitter en des npn-Transistors NPN und der Bezugspotentialeingang GND sind mit dem p-Substrat, in dem die Transistoren pnp, npn gebildet sind, verbunden. Zwischen dem Kollektor cn des npn-Transistors NPN und dem p-Substrat existiert eine parasitärere Diode Dn, wie sie bereits oben anhand der Fig. 7 bis 9 beschrieben wurde. Die Transistoren PNP und NPN sind Teil eines Operationsverstärkers OP, dessen
20
25
30
35

weitere Bauelemente aus Gründen der Übersichtlichkeit weggelassen sind. Desgleichen wurde die Beschaltung der Basen b_p und b_n der Transistoren PNP, NPN zugunsten einer übersichtlichen Darstellung nicht dargestellt.

5

Zwischen dem Kollektor c_p des pnp-Transistors PNP und dem Ausgang OUT der Halbleiterschaltung einerseits und dem Kollektor c_n des npn-Transistors NPN andererseits sind ein Widerstand R' und der Kanal eines pJFET (pJFET = p-Kanal-Junction-Feldeffekttransistor) geschaltet. Der Widerstand R' mit dem Kollektor c_p des pnp-Transistors PNP und der Kanal des pJFET sind mit dem Kollektor c_n des npn-Transistors NPN verbunden. Der Kollektor c_p des pnp-Transistors PNP und der Ausgang OUT der Halbleiterschaltung sind ferner mit der Anode einer Diode D_g verbunden, deren Kathode über einen weiteren Widerstand R_g mit dem Gate des pJFET verbunden ist.

10

15

Anstelle des pJFET ist auch ein p-Depletion-MOSFET oder ein anderes p-Depletion-Device bzw. ein selbstleitendes Bauelement vom p-Typ verwendbar. Solche Bauelemente sind für den dargestellten Fall, in dem ihr Gate bzw. ihr Gate-Anschluß mit ihrer Source bzw. ihrem Source-Anschluß verbunden ist zwischen Source und Drain leitfähig und weisen einen Kanalwiderstand R_{ds_on} auf, dessen Größe meistens zwischen $10\ \Omega$ und $1000\ \Omega$ liegt. Für den hier besprochenen Fall wird von einem Kanalwiderstand $R_{ds_on} = 50\ \Omega$ ausgegangen.

20

25

Da der pnp-Transistor PNP - wie aus dem Schichtaufbau in Fig. 2 ersichtlich ist - keine parasitäre Diode zum p-Substrat bildet, der bei einer Verpolung des Ausgangs OUT eine leitfähige Verbindung bzw. einen Kurzschluß zum Bezugspotentialeingang GND bildet, braucht er nicht geschützt zu werden. Deshalb wird der pJFET, wie in Fig. 1 dargestellt, vorzugsweise nur in den Pfad des npn-Transistors NPN zwischen dem Ausgang OUT und dem Bezugspotentialeingang GND eingefügt und nicht auch in den Pfad zwischen dem Kollektor c_p des pnp-Transistors PNP und dem Ausgang OUT.

30

35

Im Normalbetrieb bzw. in einem normalen Betriebsmodus liegt am Ausgang OUT ein höheres Potential an als am Bezugspotential Eingang GND ($V_{OUT} > V_{GND}$). Der pJFET wirkt in diesem Fall wie ein Widerstand, an dem nur ein relativ geringer Spannungsabfall ($< 100 \text{ mV}$) entsteht, da nur relativ geringe Ströme (ca. 1 mA) fließen. Zwischen dem Ausgang OUT und dem Kollektor c_n des npn-Transistors NPN liegt nur ein relativ kleiner Widerstand mit dem Betrag $R' + R_{ds_on}(\text{pJFET})$, der nicht stört.

Wenn das Gate eines selbstleitenden Bauelements vom p-Typ mit einer positiven Spannung gegenüber der Source desselben angesteuert wird bzw. das Gate auf einem höheren Potential liegt als die Source, so erhöht sich der Kanalwiderstand bzw. der Widerstand R_{ds} des Kanals des selbstleitenden Bauelements vom p-Typ. Ab einer gewissen Spannung U_p , die als Pinch-Off-Spannung bezeichnet wird (Potential des Gates höher als Potential der Source) wird der Kanal schließlich extrem hochohmig bzw. das selbstleitende Bauelement sperrt. Dies wird als „Abpinchen“ des Kanals bezeichnet.

Im Verpolungsfall bzw. Unterspannungsfall $V_{OUT} < V_{GND}$ fällt bis auf die Durchlaßspannung bzw. Flußspannung an der parasitären Diode D_n nahezu die gesamte Spannung $V_{OUT} - V_{GND}$ zwischen dem Ausgang OUT und dem Bezugspotential Eingang GND an dem Widerstand R' und dem Kanal bzw. der Drain-Source-Strecke des pJFET ab. Dabei fließt ein Strom zwischen 10 mA und 100 mA .

Fig. 2 ist eine schematische Darstellung eines vertikalen Schnitts durch ein Halbleitersubstrat mit der in Fig. 1 dargestellten Halbleiterschaltung. Der npn-Transistor NPN entspricht den npn-Transistoren aus den anhand der Fig. 7 bis 9 dargestellten Halbleiterschaltungen. Lateral zu diesem benachbart ist hier nicht der pnp-Transistor PNP dargestellt, sondern der pJFET. Der pJFET weist in diesem Ausführungsbeispiel eine strichpunktiert dargestellte vertikale Symmetrieachse auf, zu der er kreissymmetrisch bzw. axialsymme-

trisch ist. Alternativ weist der pJFET lateral eine langgestreckte ovale oder oktagonale Form auf. Der pJFET ist technologisch ähnlich aufgebaut wie der npn-Transistor NPN.

- 5 Der p-dotierte Kanal pKanal wird durch einen kreisringförmigen p-dotierten Bereich gebildet, der im Querschnitt ähnlich dem p-dotierten Bereich pBase des npn-Transistors NPN eine Wannenform aufweist. An seinem inneren Rand und an seinem äußeren Rand grenzt der p-dotierte Kanal pKanal an n-dotierte
- 10 Bereiche 52, die von der Oberfläche 10 des p-Substrats bis in die n-Epitaxie-Schicht nEpi reichen. Die n-Epitaxie-Schicht nEpi bildet das Back-Gate des pJFET und wird über die n-dotierten Bereiche 52 kontaktiert, die wiederum über hoch n-dotierte Bereiche 54 in ohmschen Kontakt mit Verdrahtungsleiterbahnen stehen. Innerhalb des p-dotierten Bereiches, der den p-dotierten Kanal pKanal bildet, ist ein ringförmiger n⁺-dotierter Bereich 56 angeordnet, der das Front-Gate n⁺FG bildet. Das Frontgate n⁺FG ist durch innere und äußere Randbereiche des p-dotierten Kanals pKanal von den n-dotierten
- 20 Bereichen 52 räumlich getrennt und elektrisch isoliert. Über einen hoch n-dotierten Bereich 58 ist ein ohmscher Kontakt des n⁺-dotierten Bereichs 56 mit einer Verdrahtungsleiterbahn gebildet. Über Verdrahtungsleiterbahnen sind das Front-Gate fg und das Backgate bg mit dem weiteren Widerstand R_g und
- 25 über diesen und die Diode D_g mit dem Ausgang OUT verbunden. Der über den inneren Rand des n⁺-dotierten Bereichs 56 hinausreichende bzw. zwischen dem n-dotierten Bereich 52 und dem n⁺-dotierten Bereich 56 an die Oberfläche 10 angrenzende Abschnitt des p-dotierten Kanals pKanal wird Im Folgenden
- 30 willkürlich als Source s_j des pJFET bezeichnet. Die Source s_j ist über einen hoch p-dotierten Bereich 60 mit einer Verdrahtungsleiterbahn und über diese mit dem Widerstand R' verbunden. Der nach außen über den n⁺-dotierten Bereich 56 hinausragende bzw. zwischen dem n⁺-dotierten Bereich 56 und dem
- 35 ringförmigen n-dotierten Bereich 52 an die Oberfläche 10 angrenzende Abschnitt des p-dotierten Kanals pKanal wird als Drain d_j bezeichnet. Das Drain d_j ist über einen ohmschen

Kontakt mittels eines hoch p-dotierten Bereichs 62 mit einer Verdrahtungsleiterbahn und über diese mit dem Kollektor cn des npn-Transistors NPN verbunden. Im Querschnitt existieren also große Ähnlichkeiten zwischen dem Front-Gate $n^{+}FG$ des pJFET und dem Emitter nEmitter des npn-Transistors NPN, zwischen dem selbstleitenden p-dotierten Kanal pKanal des pJFET und der Basis pBase des npn-Transistors NPN sowie zwischen dem Back-Gate bg des pJFET und dem Kollektor cn des npn-Transistors NPN.

Wenn Back-Gate bg und Front-Gate fg eine positive Spannung gegenüber dem Drain dj und der Source sj aufweisen, so entstehen an den gesperrten pn-Übergängen und zwischen dem n^{+} -dotierten Front-Gate und dem p-dotierten Kanal pKanal sowie zwischen dem n-dotierten Back-Gate (nEpi) und dem p-dotierten Kanal pKanal Raumladungszonen. Diese reduzieren mit steigender Sperrspannung zunehmend den Querschnitt des p-Kanals, innerhalb dessen sich ein ungehinderter Stromfluß von der Source sj zu dem Drain dj einstellen kann, so daß der Kanal pKanal einen steigenden Widerstand aufweist. Wenn sich schließlich bei einer unter anderem durch die Geometrie des pJFET vorbestimmten Pinch-Off-Spannung U_p die beiden vom Front-Gate und vom Back-Gate ausgehenden gegenüberliegenden Raumladungszonen berühren, so ist der Kanal pKanal abgepincht bzw. der pJFET ausgeschaltet, d. h. der Widerstand des Kanals ist sehr hoch, und es fließt praktisch kein Strom mehr.

Im normalen Betrieb ist V_{OUT} das höchste Potential, das an dem pJFET, nämlich an der Source sj des pJFET, anliegt. In diesem Fall ziehen die Diode Dg und der Schutzwiderstand Rg das Front-Gate fg und das Back-Gate bg auf ein Potential, das bis auf eine Diodenflußspannung der Diode Dg dem Potential der Source sj entspricht. Somit wirkt der pJFET wie ein Widerstand der Größe $R_{ds_on} = 50 \Omega$.

Wenn hingegen im Verpolungsfall bzw. im Fall einer Unterspannung ein Potential $V_{OUT} < V_{GND}$ am Ausgang OUT anliegt, so liegt

an dem pn-Übergang zwischen dem p-Substrat und dem n-dotierten Back-Gate des pJFET eine Spannung in Durchlaßrichtung bzw. Flußrichtung an, und zugleich liegt an der Diode Dg eine Spannung in Sperrrichtung an. Es resultiert am Back-Gate bg und am Front-Gate fg des pJFET ein Potential, das um ca. 0,5 V niedriger ist als das Potential des p-Substrats bzw. das Bezugspotential V_{GND} . Gleichzeitig liegt die p-dotierte Source sj des p-JFET über den Widerstand R' am Ausgang OUT, an dem ein gegenüber dem Bezugspotential V_{GND} stark negatives Potential anliegt. An den Gate-Anschlüssen bg und fg des pJFET liegt deshalb ein höheres Potential als an der Source sj des pJFET. Entsprechend dem oben beschriebenen Verhalten des pJFET resultiert dies in einem erhöhten Kanalwiderstand desselben, der jedoch noch nicht vollständig abschnürt bzw. abpincht. Die unvollständige Abschnürung des Kanals liegt daran, daß im beschriebenen Fall genau genommen Source und Drain vertauscht sind, da der auf dem Potential V_{GND} liegende Drain-Anschluß bj jetzt auf einem höheren Potential liegt als der an dem Potential V_{OUT} liegende Source-Anschluß sj. Deshalb sind die Gates bg, fg nur gegenüber der Source auf einem höherem Potential, gegenüber dem Drain jedoch auf einem niedrigeren. Die Raumladungszonen zwischen dem gesperrten Übergang zwischen Front-Gate fg und Source einerseits und dem gesperrten Übergang zwischen Back-Gate bg und Source andererseits berühren sich nicht vollständig, sondern es verbleibt ein leitfähiger Kanal zwischen denselben. Der pJFET bzw. sein Kanal weist somit einen stark erhöhten Widerstand auf, schnürt jedoch noch nicht vollständig ab. Um den pJFET vollständig zu sperren bzw. abzuschnüren, müßte zumindest das Front-Gate fg auf einem hinreichend höheren Potential liegen als beide Enden des Kanals, also sowohl als Source als auch als Drain.

Der pJFET verhält sich also gerade so, daß er die Halbleiter-schaltung bei einer Verpolung am Ausgang OUT optimal schützt, da er genau in diesem Fall hochohmig wird, während er im

Normalbetrieb ($V_{OUT} > V_{GND}$) nur minimal störend wirkt, da er in diesem Fall relativ niederohmig ist.

Fig. 3 ist ein schematisches Schaltungsdiagramm einer Halbleiterschaltung gemäß einem weiteren bevorzugten Ausführungsbeispiel der vorliegenden Erfindung. Dieses Ausführungsbeispiel ist eine Modifikation des anhand der Fig. 1 und 2 dargestellten Ausführungsbeispiels, bei dem Front-Gate fg und Back-Gate bg im Unterschied zum ersten Ausführungsbeispiel nicht mehr zusammengeschlossen sind. Wie man aus dem technologischen Querschnitt aus Fig. 2 ersieht, grenzte nur das Back-Gate bg (n-Epitaxie-Schicht nEpi und eine n-dotiertere vergrabene Schicht nBL) direkt an das p-Substrat, nicht jedoch das Front-Gate fg. Wenn das Back-Gate bg ein Potential von mindestens 0,5 V gegenüber dem p-Substrat aufweist, weil der pn-Übergang zwischen dem p-Substrat und dem n-dotierten Back-Gate bg leitfähig wird, so kann zugleich das Front-Gate fg ein beliebiges, insbesondere ein höheres Potential annehmen.

Bei dem anhand der Fig. 3 dargestellten Ausführungsbeispiel wird deshalb nicht wie im ersten Ausführungsbeispiel über eine Verdrahtungsleiterbahn eine Verbindung zwischen dem Back-Gate bg und dem Front-Gate fg hergestellt. Statt dessen wird das Front-Gate fg von einem eigenen Schaltungsblock angesteuert, der nachfolgend näher beschrieben wird. Er soll gewährleisten, daß im normalen Betriebsfall bzw. im normalen Betriebsmodus ($V_{OUT} > V_{GND}$) das Front-Gate fg mit der Source des pJFET verbunden ist bzw. mit diesem ein gemeinsames Potential aufweist. Ferner soll der Schaltungsblock gewährleisten, daß im Verpolungsfall bzw. im Unterspannungsfall ($V_{OUT} < V_{GND}$) das Front-Gate fg ein Potential aufweist, das geeignet ist, um den Kanal des pJFET vollständig abzuschneiden. Dazu muß gewährleistet werden, daß das Front-Gate fg ein Potential $V_{fg} > U_p$ aufweist, wobei gleichzeitig kein Durchbruch zwischen dem Front-Gate fg und dem Back-Gate bg aufgrund einer zu hohen Spannungsdifferenz zwischen denselben

auftreten darf. Da sowohl die Abschnürspannung U_p als auch die Durchlaßspannung V_{bg} des Back-Gates bg nur moderaten Prozeß- und Temperaturschwankungen unterliegen und somit gut definiert sind, ist die letztgenannte Bedingung relativ leicht erfüllbar. Durch Ansteuern des Front-Gates fg mit einer ebenso gut definierten Spannung kann im Unterspannungsfall der pJFET kontrolliert abgeschnürt werden, so daß die integrierte Halbleiterschaltung im Unterspannungsfall fast keine Verlustleistung umsetzt und damit optimal geschützt ist.

Der Schaltungsblock bzw. die Ansteuerschaltung für den pJFET und dessen Front-Gate fg ist in Fig. 3 beispielhaft durch die Widerstände R_1 , R_2 , R_3 , die Dioden D_2 , D_3 , die Spannungsquellen U_1 , U_2 , U_3 und den NMOS-Transistor Q dargestellt. Der NMOS-Transistor Q weist einen herkömmlichen Enhancement-Typ auf, ist also selbstsperrend.

In Fig. 3 ist im Gegensatz zu Fig. 1 auch auf die Darstellung des pnp-Transistors PNP verzichtet. Im Gegensatz zu dem Ausführungsbeispiel aus Fig. 1 sind nicht beide Gates fg , bg des pJFET über einen einzigen Schutzwiderstand R_g und eine Diode D_g mit dem Ausgang OUT verbunden, sondern das Front-Gate fg ist über einen Schutzwiderstand R_g und eine Diode D_g und das Back-Gate bg ist über einen Schutzwiderstand R_g' und eine Diode D_g' mit dem Ausgang OUT verbunden. Das Front-Gate fg des pJFET ist ferner über den Kanal des NMOS-Transistors Q und parallel dazu über eine Serienschaltung der Diode D_3 des Widerstandes R_3 und der Spannungsquelle U_3 mit dem p-Substrat verbunden. Zwischen den Ausgang OUT bzw. den Anoden der Dioden D_g , D_g' einerseits und das p-Substrat ist ferner eine Serienschaltung aus einem Spannungsteiler aus den Widerständen R_1 , R_2 und der Spannungsquelle U_1 geschaltet. Der Zwischenabgriff des Spannungsteilers ist mit dem Gate des NMOS-Transistors Q und mit der Anode der Diode D_2 verbunden, deren Kathode über die Spannungsquelle U_2 ebenfalls mit dem p-Substrat verbunden ist.

Der Spannungsteiler bzw. die Widerstände R_1 , R_2 sind so eingestellt, daß für Ausgangsspannungen $V_{OUT} > V_{GND}$ der NMOS-Transistor Q leitfähig ist, wodurch das Drain desselben in
5 Richtung des Potentials des p-Substrats bzw. des Bezugspotentials V_{GND} gezogen wird.

Wenn der NMOS-Transistor Q sehr kräftig und insbesondere stärker als der Schutzwiderstand R_g ist, zieht er das Front-
10 gate fg auf 0 V. Dadurch wird die Source des pJFET auf eine Spannung von 0.6 V festgelegt, da zwischen Source und Front-Gate fg eine Diode vorliegt. Damit ist die Wirkung des npn-Transistors NPN unterbunden, und am Ausgang OUT stellt sich
immer die selbe Spannung von ca. 1 V ein. Der Transistor Q
15 wird deshalb vorzugsweise schwächer als der Widerstand R_g ausgelegt bzw. so dimensioniert, daß seine Wirkung schwächer als die des Widerstands R_g ist. Das Potential des Front-Gates fg bleibt dann knapp unter dem der Source des pJFET, und der pJFET leitet.

20 Damit beträgt im normalen Betriebsfall das Potential V_{fg} des Front-Gates fg des pJFET $V_{fg} = V_{GND}$, d. h. der pJFET wird nicht angesteuert. Im Verpolungsfall bzw. Unterspannungsfall $V_{OUT} < V_{GND}$ sinkt das Potential des Gates des NMOS-Transistors Q. Der NMOS-Transistor Q ist dann gesperrt, und das Front-
25 Gate fg des pJFET wird durch die Spannungsquelle U_3 über den Widerstand R_3 und die Diode D_3 an ein Potential gelegt, das ausreicht, um den pJFET zu sperren.

30 Die Diode D_2 und die Spannungsquelle U_2 sind lediglich dafür vorgesehen, zu verhindern, daß das Gate des NMOS-Transistors Q im Normalbetrieb eine zu hohe Spannung erhält. Dies könnte andernfalls beispielsweise auftreten, wenn am Ausgang OUT eine hohe positive Spannung angelegt wird.

35 Der Widerstand R_3 kann beispielsweise identisch mit dem Innenwiderstand der, in diesem Fall hochohmigen, Spannungs-

quelle U3 sein. Dies gilt insbesondere dann, wenn die Spannungsquelle U3 ein Ausgang einer Ladungspumpe ist.

Die Aufgabe des Schutzwiderstandes Rg und der Diode Dg besteht darin, im Normalbetrieb ein Potential am Front-Gate fg des pJFET zu erzeugen, das nur wenig unter dem Source-Potential des pJFET liegt. Dadurch wird der pJFET bzw. sein Kanal gut leitfähig und stört bzw. reduziert den Aussteuerbereich der dargestellten Ausgangsstufe nur minimal.

10

Der pJFET besitzt bereits einen intrinsischen pn-Übergang, da seine Source p-dotiert ist und an sein n-dotiertes Front-Gate fg angrenzt. Dieser intrinsische pn-Übergang bewirkt, daß das Potential des Front-Gates fg nie um mehr als eine Diodenflussspannung unter das Potential der Source sj sinken kann. Eine vorteilhafte Modifikation des in Fig. 3 dargestellten Ausführungsbeispiels besteht deshalb darin, den Schutzwiderstand Rg und die Diode Dg wegzulassen, da ihre Aufgabe durch den intrinsischen pn-Übergang des pJFET wahrgenommen wird. Die gleiche Überlegung gilt auch und eine entsprechende Modifikation ist auch möglich für das Back-Gate bg bzw. den Schutzwiderstand Rg' und die Diode Dg'.

20

Ein Vorteil der Verwendung eines pJFET, wie er in den anhand der Fig. 1 bis 3 dargestellten Ausführungsbeispielen gezeigt ist, besteht im positiven Temperaturkoeffizienten des Drain-Source-Widerstandes eines pJFET. Mit ansteigender Temperatur des pJFET steigt auch dessen Drain-Source-Widerstand bzw. Kanalwiderstand. Bei einer Verpolung bzw. im Unterspannungsfall $V_{OUT} < V_{GND}$ tritt deshalb eine negative Rückkopplung auf, so daß die verlustleistungsbegrenzende Wirkung des pJFET thermisch stabil ist. Wird am Ausgang OUT ein gegenüber dem Bezugspotentialeingang GND negatives Potential angelegt, so fließt zunächst ein unter Umständen kräftiger Strom über pJFET. Dadurch erwärmt sich zunächst lokal der pJFET und in der Folge die gesamte Halbleiterschaltung bzw. der gesamte Chip. Dadurch steigt der elektrische Widerstand des pJFET

30

35

bzw. dessen Kanalwiderstand, wodurch der Stromfluß reduziert wird. Die beschriebene Charakteristik hat insbesondere zur Folge, daß die vorgestellte Schutzschaltung die Verlustleistung in der Halbleiterschaltung bei einer hohen Temperatur stärker einschränkt als bei einer tiefen Temperatur. Dadurch kann die Schaltung auch bei einer erhöhten Umgebungstemperatur den Verpolungsfall verkraften ohne bleibenden Schaden zu nehmen.

- 10 Wie bereits eingangs erwähnt, besteht im Falle eines n-dotierten Substrats eine Gefahr für eine Halbleiterschaltung nicht in einer Unterspannung $V_{OUT} < V_{GND}$, sondern in einer Überspannung $V_{OUT} > V_{DD}$, da in diesem Fall die parasitären Dioden zwischen dem n-Substrat und den Bauelementen umgekehrt angeordnet sind und das n-Substrat mit dem Versorgungspotential V_{DD} verbunden ist. Die dargestellten Ausführungsbeispiele sind ohne weiteres für den Fall eines n-Substrats modifizierbar, wobei eine entsprechende Schutzschaltung zwischen dem pnp-Transistor PNP bzw. dessen Kathode cp einerseits und
- 20 den Ausgang OUT zu schalten ist.

- Obwohl die anhand der Fig. 1 bis 3 dargestellten Ausführungsbeispiele lineare Ausgangsstufen und insbesondere einen negativ rückgekoppelten Operationsverstärker OP zeigen, ist die vorliegende Erfindung auch für Halbleiterschaltungen bzw. Bauteilgruppen, insbesondere integrierte Schaltkreise, mit einem oder mehreren digitalen Ausgängen, verwendbar. Die Ausgangsstufen digitaler Schaltkreise weisen meist ebenfalls einen npn-Transistor NPN oder einen NMOS-Transistor auf, der in einem ersten Schaltzustand der Bauteilgruppe das Potential am Ausgang OUT auf das Bezugspotential V_{GND} des Bezugspotentialeingangs GND zieht. In einem zweiten Zustand ist der npn- bzw. NMOS-Transistor ausgeschaltet, und ein Pull-Up-Lastwiderstand zieht das Potential am Ausgang OUT auf ein positives Potential. Die vorliegende Erfindung ist für alle Halbleiterschaltungen verwendbar, die einen pn-Übergang aufweisen, der mit einem Ausgangsanschluß verbunden ist, und

bei Verpolung des Ausgangsanschlusses in Flußrichtung gepolt würde. Diese Konstellation ist beispielsweise immer dann gegeben, wenn der Ausgang der Halbleiterschaltung mit einem Kollektor eines npn-Transistors NPN oder Source oder Drain eines NMOS-Transistors verbunden ist.

Alternativ zu dem in den Fig. 1 bis 3 dargestellten pJFET ist wie bereits erwähnt ein Verarmungs-MOSFET oder ein anderes selbstleitendes Bauelement verwendbar, wobei der Kanal des Bauelements vorteilhaft den gleichen Leitfähigkeitstyp wie das Substrat aufweist.

Fig. 4 ist ein schematisches Schaltungsdiagramm einer Schaltung gemäß einem vereinfachten Ausführungsbeispiel der vorliegenden Erfindung, an der die Funktionsweise der vorliegenden Erfindung experimentell untersucht wurde. Dabei wurde ein pJFET verwendet, der bei einer Spannung V_{GS} zwischen Gate und Source von $V_{GS} = 0 \text{ V}$ und einer Spannung V_{ds} zwischen Drain und Source von $V_{ds} = 0,1 \text{ V}$ einem Drain-Source-Widerstand von $R_{ds} = 30 \text{ } \Omega$ sowie eine Pinch-Off-Spannung $U_p = 2,2 \text{ V}$ aufweist. Der pJFET wurde mit der in Fig. 2 dargestellten technologischen Schichtfolge auf einem p-dotierten Substrat aufgebaut und in einem Gehäuse „C-DIP-24-1“ eingebaut. Source bzw. Drain des pJFET sind mit dem Ausgang OUT bzw. dem Bezugspotentialeingang GND verbunden, der Ausgang OUT ist ferner über eine Diode D_g mit den Gates des pJFET verbunden. Der Widerstand R_g hat einen Wert von $50 \text{ k}\Omega$, die Diode D_g ist ähnlich der Diode 1 N 4001. Drei Testchips IC1, IC2, IC3 wurden hergestellt und in Gehäuse C-DIP-24-1 montiert. Danach wurde am Ausgang OUT eine variable Spannung V_{OUT} angelegt, die innerhalb einer Zyklusdauer von 1,4 Minuten einen Zyklus von 0 V nach -20 V und zurück nach 0 V durchlief. Gleichzeitig wurde der Strom I_{OUT} am Ausgang OUT gemessen.

In Fig. 5 ist schematisch der Zusammenhang zwischen dem Potential V_{OUT} am Ausgang OUT (gemessen mit Bezug auf das Potential V_{GND} am Bezugspotentialeingang GND) und dem Strom

I_{OUT} am Ausgang OUT dargestellt, und in Fig. 6 ist die Abhängigkeit der dissipierten Leistung P_v von dem Potential V_{OUT} dargestellt. Die Messungen wurden bei einer Umgebungstemperatur von 25°C durchgeführt.

5

In den Fig. 5 und 6 ist deutlich erkennbar, daß der Strom I_{OUT} und die Leistung P_v eine Hysterese aufweisen, deren Ursache in der Eigenerwärmung der Testchips liegt. Während der Messung erwärmt sich der Testchip, so daß die Temperatur des Testchips während der ersten Rampe 0 V ... - 20 V geringer ist als während der zweiten Rampe - 20 V ... 0 V. Aufgrund des positiven Temperaturkoeffizienten des Kanalwiderstands des pJFET sind sowohl der Strom I_{OUT} als auch die Leistung P_v während der ersten Rampe im Betrag jeweils größer als während der zweiten Rampe.

15

Ferner ist erkennbar, daß die Schaltung bei $V_{OUT} = -20$ V einen effektiven Widerstand in Höhe von $20 \text{ V} / 70 \text{ mA} = 285 \Omega$ aufweist, der ca. 10 mal so groß ist wie der Widerstand des pJFET bei kleinen Spannungen $V_{OUT} \approx 0$ V. Durch die Nichtlinearität der Schaltung konnte also ihr Widerstand für größere Spannungen ca. 10 mal größer gemacht werden. Dadurch hängt die Verlustleistung nicht mehr quadratisch sondern nur mehr ca. linear von der Spannung V_{OUT} ab und ist bei $V_{OUT} = -20$ V gegenüber einer herkömmlichen Schaltung um ca. zwei Größenordnungen verringert. Aufgrund dieser verringerten Verlustleistung sind nunmehr in üblichen Plastikgehäusen mit einem thermischen Übergangswiderstand von 100 K/W Verpolspannungen bis zu $V_{OUT} = -15$ V möglich, während eine herkömmliche Schaltung, wie sie in den Fig. 7 und 8 dargestellt ist nur Verpolspannungen bis $V_{OUT} = -5$ V ertragen würde.

20

25

30

Patentansprüche

1. Halbleiterschaltung in einem Halbleitersubstrat mit:

5 einem ersten Eingang (GND) zum Zuführen eines ersten Versorgungspotentials (V_{GND});

einem zweiten Eingang (VDD) zum Zuführen eines zweiten Versorgungspotentials (V_{VDD}), das höher liegt als das erste
10 Versorgungspotential;

einem Bauelement (NPN);

15 einem Ausgang (OUT);

einem parasitären pn-Übergang (Dn) zwischen dem Bauelement (NPN) und dem Halbleitersubstrat, der bei einem ersten Verpolungspotential an dem Ausgang (OUT), das kleiner als das erste Versorgungspotential (V_{GND}) ist, oder bei einem zweiten
20 Verpolungspotential an dem Ausgang (OUT), das größer als das zweite Versorgungspotential (V_{VDD}) ist, leitfähig ist; und

einer Schutzschaltung, die zwischen den Ausgang (OUT) und den pn-Übergang (Dn) geschaltet ist, und deren elektrischer
25 Widerstand bei dem ersten Verpolungspotential an dem Ausgang (OUT) bzw. bei dem zweiten Verpolungspotential an dem Ausgang (OUT) höher ist als bei einem Normalbetriebspotential an dem Ausgang (OUT), das zwischen dem ersten Versorgungspotential (V_{GND}) und dem zweiten Versorgungspotential (V_{VDD}) liegt.

30

2. Halbleiterschaltung nach Anspruch 1, bei der das Halbleitersubstrat ein p-dotiertes Halbleitersubstrat ist und die Schutzschaltung einen pJFET umfaßt, oder bei der das Halbleitersubstrat ein n-dotiertes Halbleitersubstrat ist und die
35 Schutzschaltung einen nJFET umfaßt.

3. Halbleiterschaltung nach Anspruch 1, bei der die Schutzschaltung einen MOSFET umfaßt, dessen Kanal denselben Leitfähigkeitstyp aufweist wie das Halbleitersubstrat.

5 4. Halbleiterschaltung nach einem der Ansprüche 1 bis 3, bei der das Halbleitersubstrat ein p-dotiertes Halbleitersubstrat ist und der pn-Übergang bei dem ersten Verpolungspotential an dem Ausgang (OUT), das kleiner als das erste Versorgungspotential (V_{GND}) ist, leitfähig ist, oder bei der das
10 Halbleitersubstrat ein n-dotiertes Halbleitersubstrat ist, und der parasitäre pn-Übergang bei dem zweiten Verpolungspotential an dem Ausgang (OUT), das größer als das zweite Versorgungspotential (V_{VDD}) ist, leitfähig ist.

15 5. Halbleiterschaltung nach einem der Ansprüche 1 bis 4, bei der der elektrische Widerstand der Schutzschaltung einen positiven Temperaturkoeffizienten aufweist.

20 6. Halbleiterschaltung nach einem der Ansprüche 1 bis 5, bei der der parasitäre pn-Übergang (D_n) ein pn-Übergang zwischen dem Halbleitersubstrat und einem Teil des Bauelements ist, der bei einem Potential (V_{OUT}) an dem Ausgang (OUT), das größer als das erste Versorgungspotential (V_{GND}) und kleiner als das zweite Versorgungspotential (V_{VDD}) ist, gesperrt ist.

25 7. Halbleiterschaltung nach einem der Ansprüche 1 bis 6, die eine lineare oder digitale Ausgangsstufe ist, die mit dem Ausgang OUT verbunden ist.

Zusammenfassung

Halbleiterschaltung mit einer Schutzschaltung

- 5 Eine Halbleiterschaltung in einem Halbleitersubstrat umfaßt einen ersten Eingang (GND) zum Zuführen eines ersten Versorgungspotentials, einen zweiten Eingang (VDD) zum Zuführen eines zweiten Versorgungspotentials, das höher liegt als das erste Versorgungspotential, ein Bauelement (NPN), einen
10 Ausgang (OUT) und einen parasitären pn-Übergang (Dn) zwischen dem Bauelement (NPN) und dem Halbleitersubstrat, der bei einem ersten Verpolungspotential an dem Ausgang (OUT), das kleiner als das erste Versorgungspotential ist, oder bei einem zweiten Verpolungspotential an dem Ausgang (OUT), das
15 größer als das zweite Versorgungspotential ist, leitfähig ist. Eine Schutzschaltung ist zwischen den Ausgang (OUT) und den parasitären pn-Übergang (Dn) geschaltet, deren elektrischer Widerstand bei dem ersten Verpolungspotential an dem Ausgang (OUT) bzw. bei dem zweiten Verpolungspotential an dem
20 Ausgang (OUT) höher ist als bei einem Normalbetriebspotential an dem Ausgang (OUT), das zwischen dem ersten Versorgungspotential und dem zweiten Versorgungspotential liegt.


 25

Fig. 1

Figur zur Zusammenfassung:

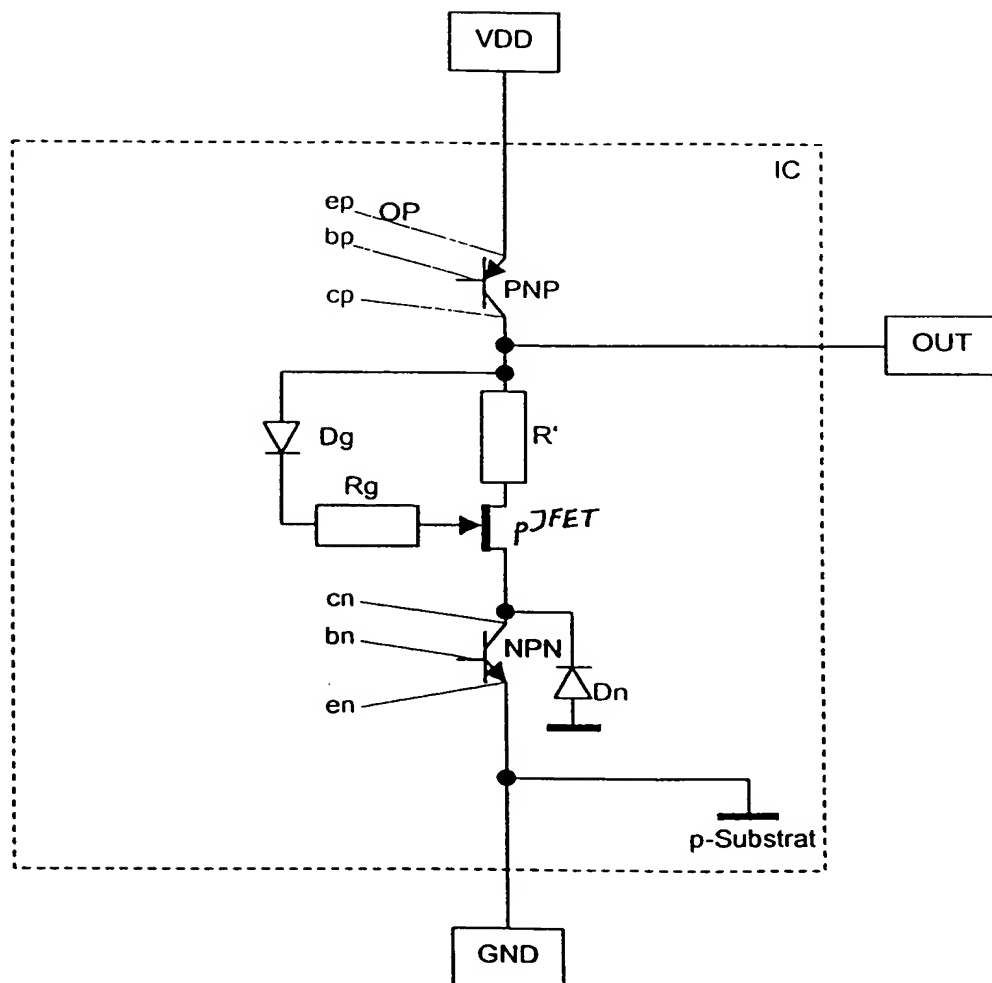


Fig. 1

Bezugszeichenliste

OP	Operationsverstärker
PNP	pnp-Transistor
NPN	nnp-Transistor
ep	Emitter des pnp-Transistors PNP
bp	Basis des pnp-Transistors PNP
cp	Kollektor des pnp-Transistors PNP
en	Emitter des npn-Transistors NPN
bn	Basis des npn-Transistors NPN
cn	Kollektor des npn-Transistors NPN
nEpi	n-Epitaxie-Schicht
pBase	Basisbereich
nEmitter	Emitterbereich
nSink	n-Sinker-Diffusion
10	Oberfläche des p-Substrats
12	Emitter-Anschluß des npn-Transistors
14	Basis-Anschluß des npn-Transistors
16	Kollektor-Anschluß des npn-Transistors
22	Emitter des pnp-Transistors
24	Kollektor des pnp-Transistors
26	Basis des pnp-Transistors
33	Emitter-Anschluß des pnp-Transistors
34	Kollektor-Anschluß des pnp-Transistors
36	Basis-Anschluß des pnp-Transistors
pIso	p-Isolations-Diffusion
pBL	p-dotierte vergrabene Schicht
38	hochdotierter Bereich
50	Symmetrieachse des pJFET
pKanal	p-dotierter Kanal des pJFET
52	n-dotierter Bereich
54	hoch n-dotierter Bereich
56	n ⁺ -dotierter Bereich
58	hoch n-dotierter Bereich
60	hoch p-dotierter Bereich
62	hoch p-dotierter Bereich

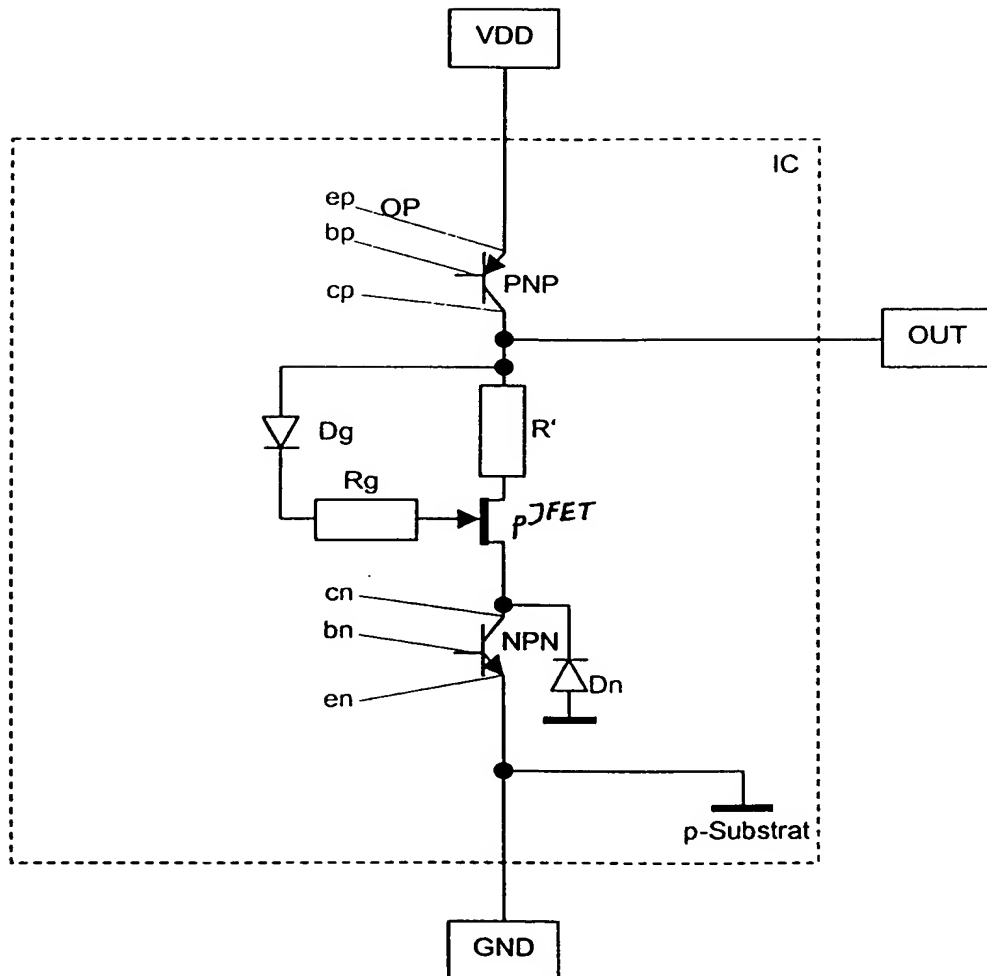


Fig. 1

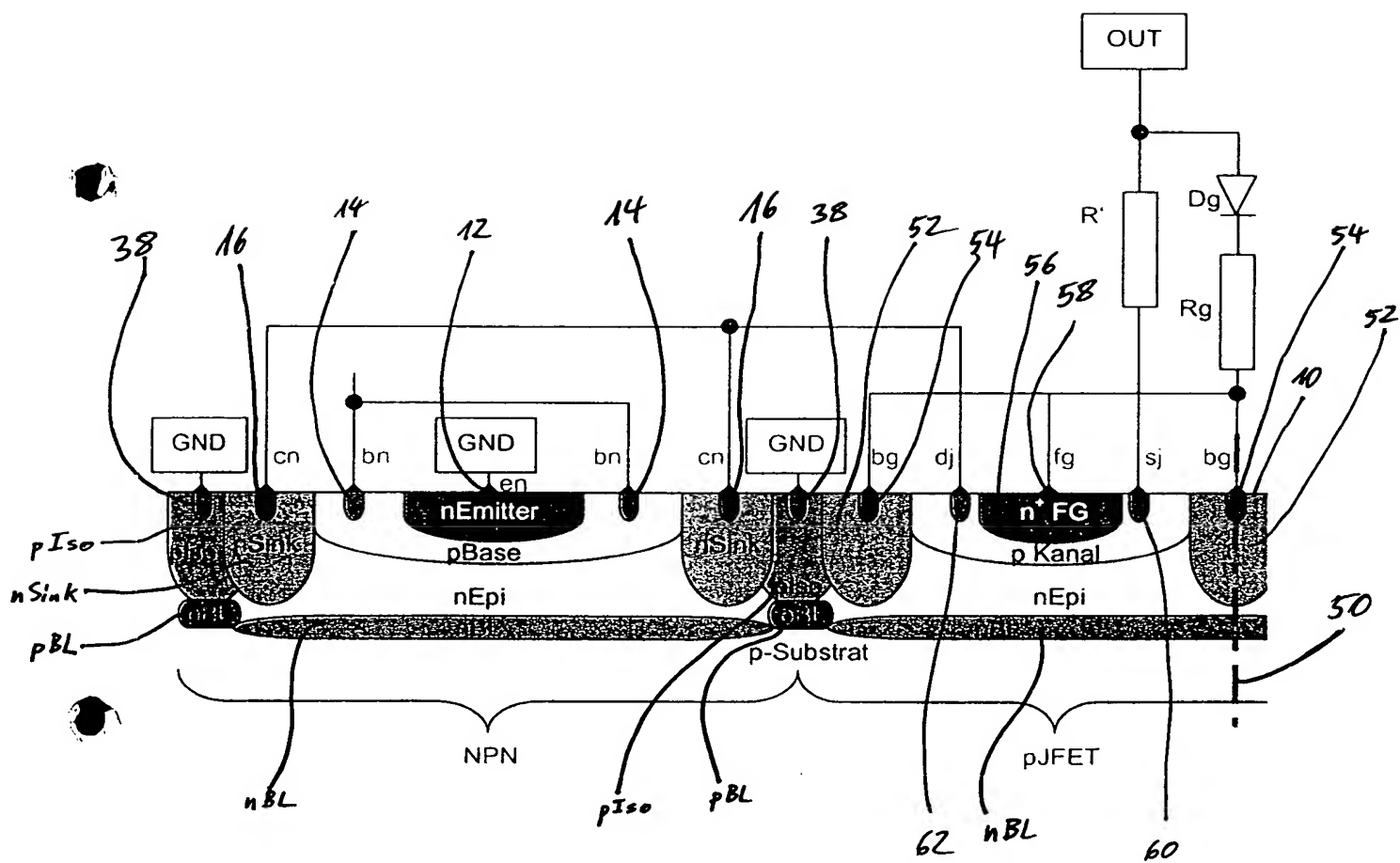


Fig. 2

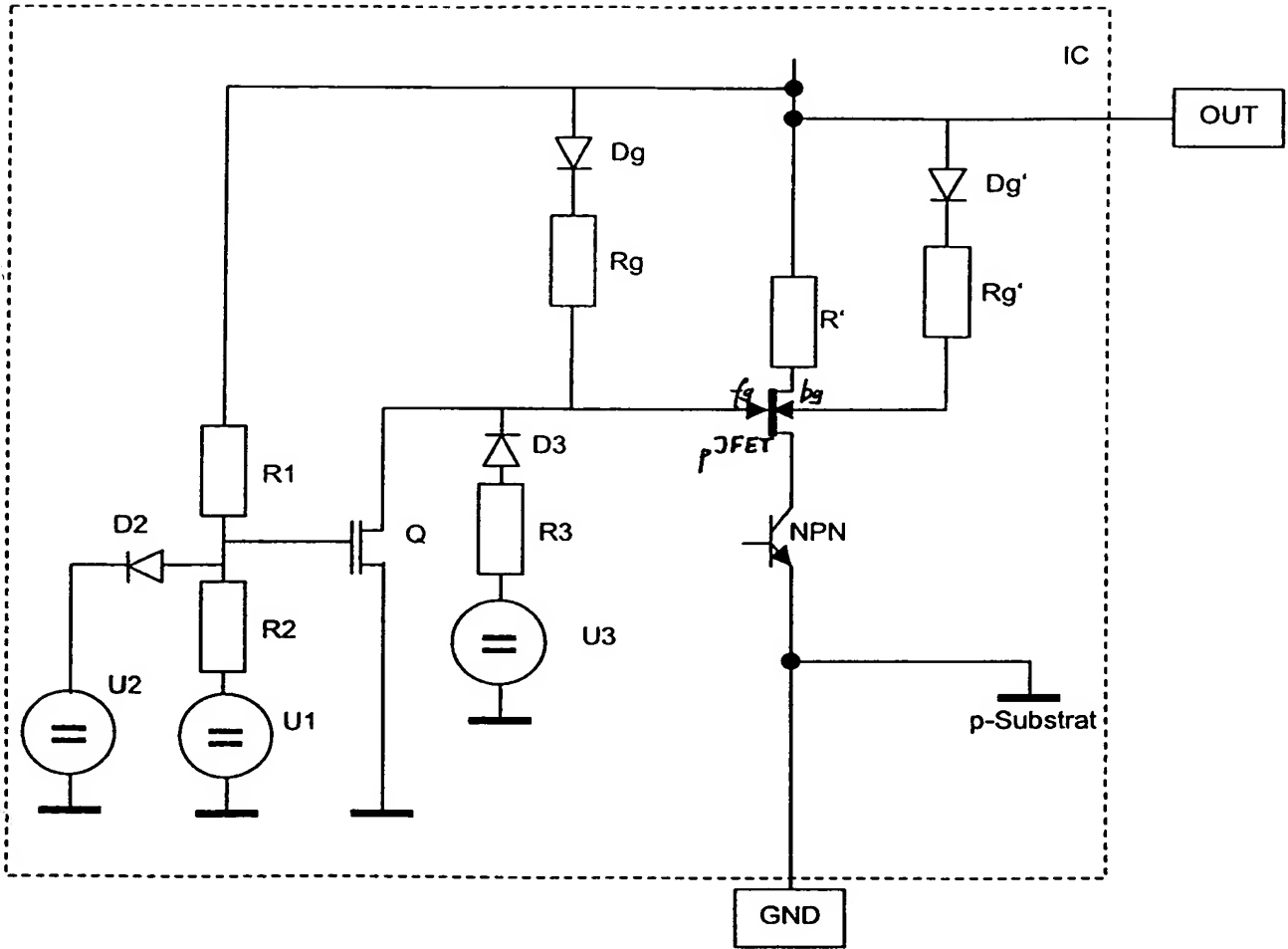


Fig. 3

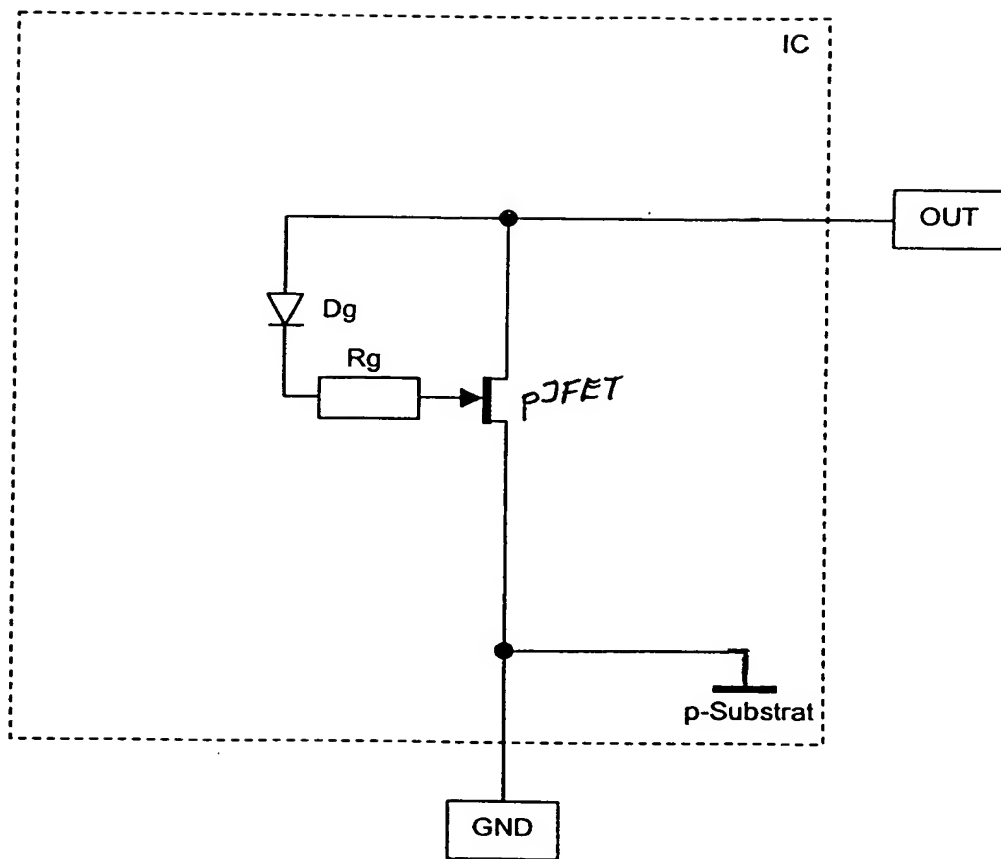


Fig. 4

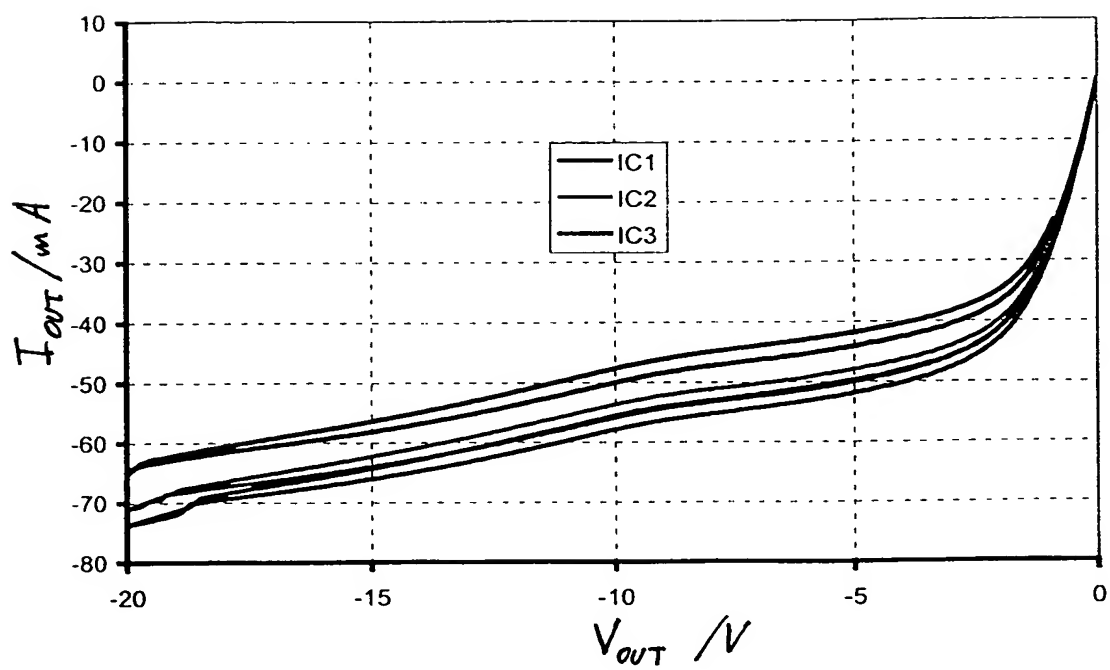


Fig. 5

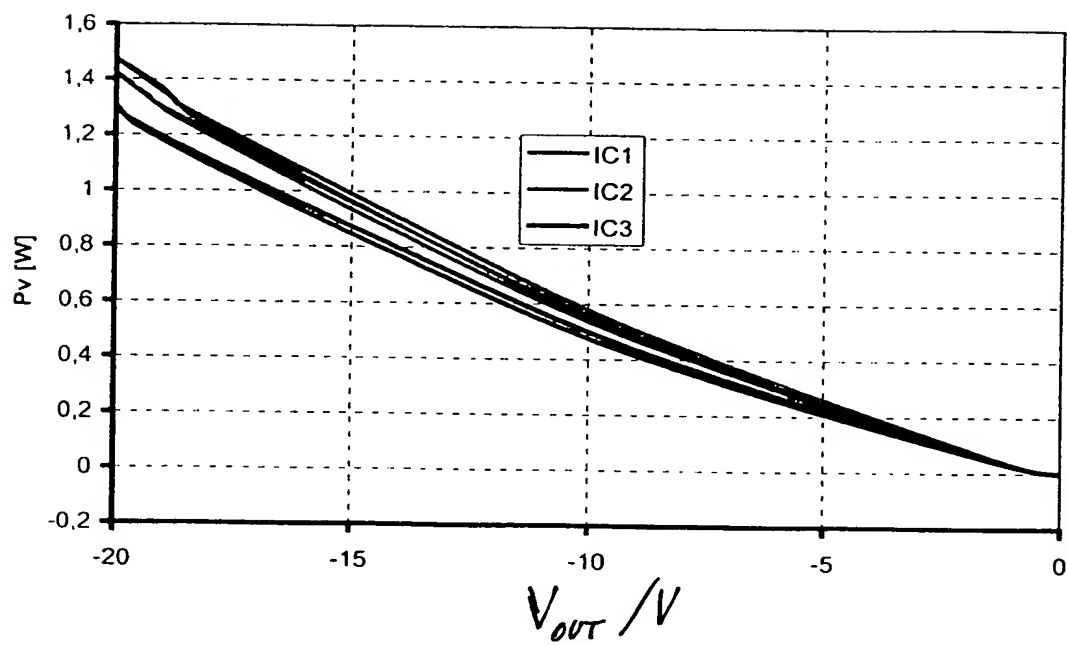


Fig. 6

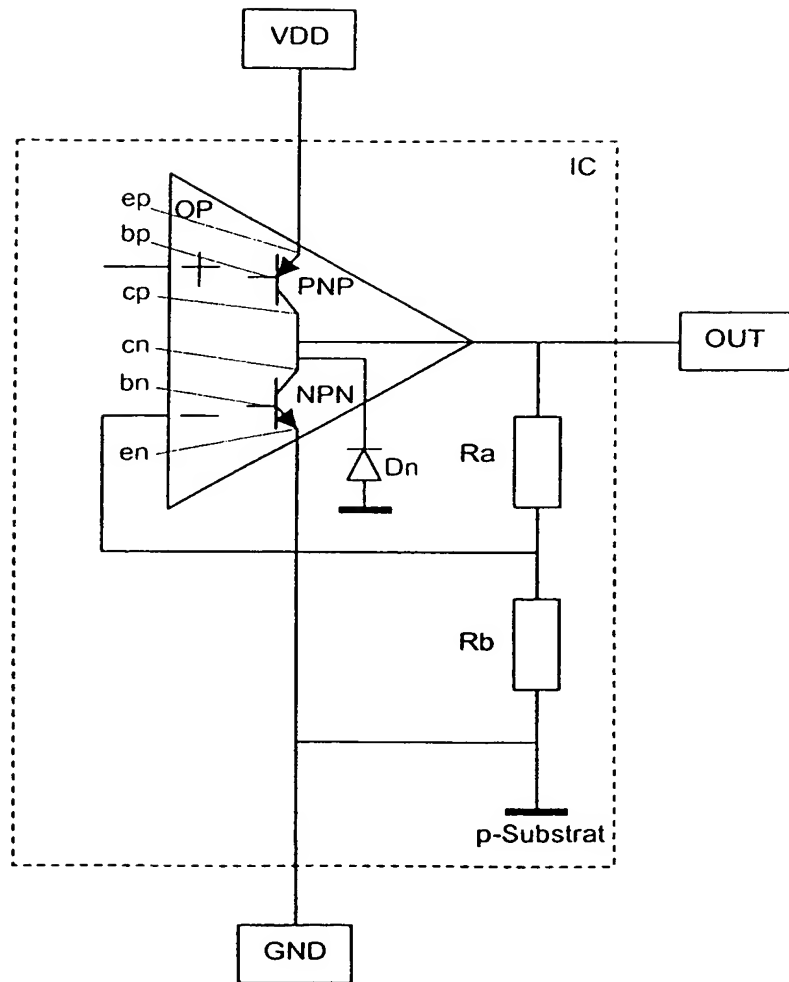


Fig. 7

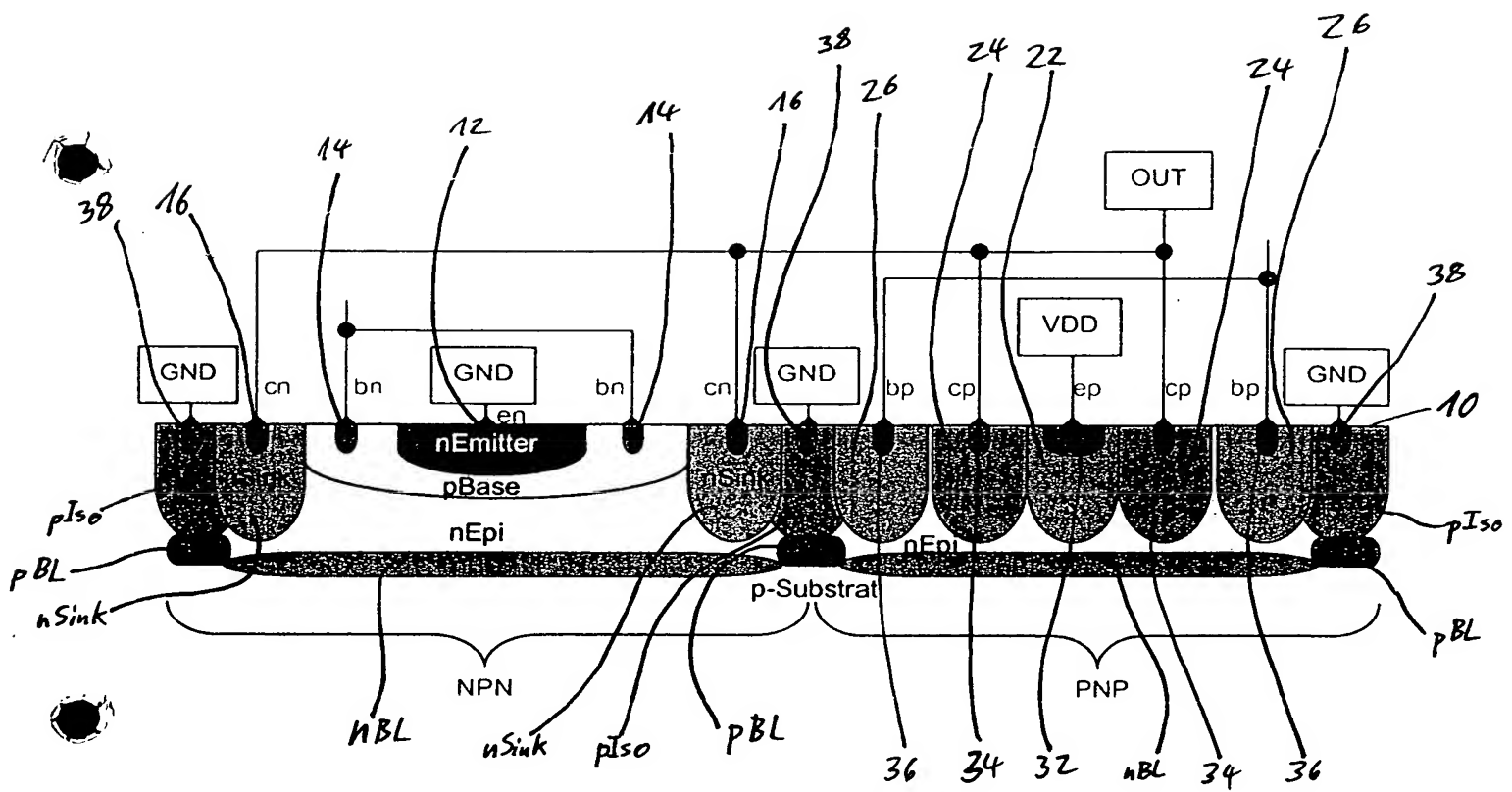


Fig. 8

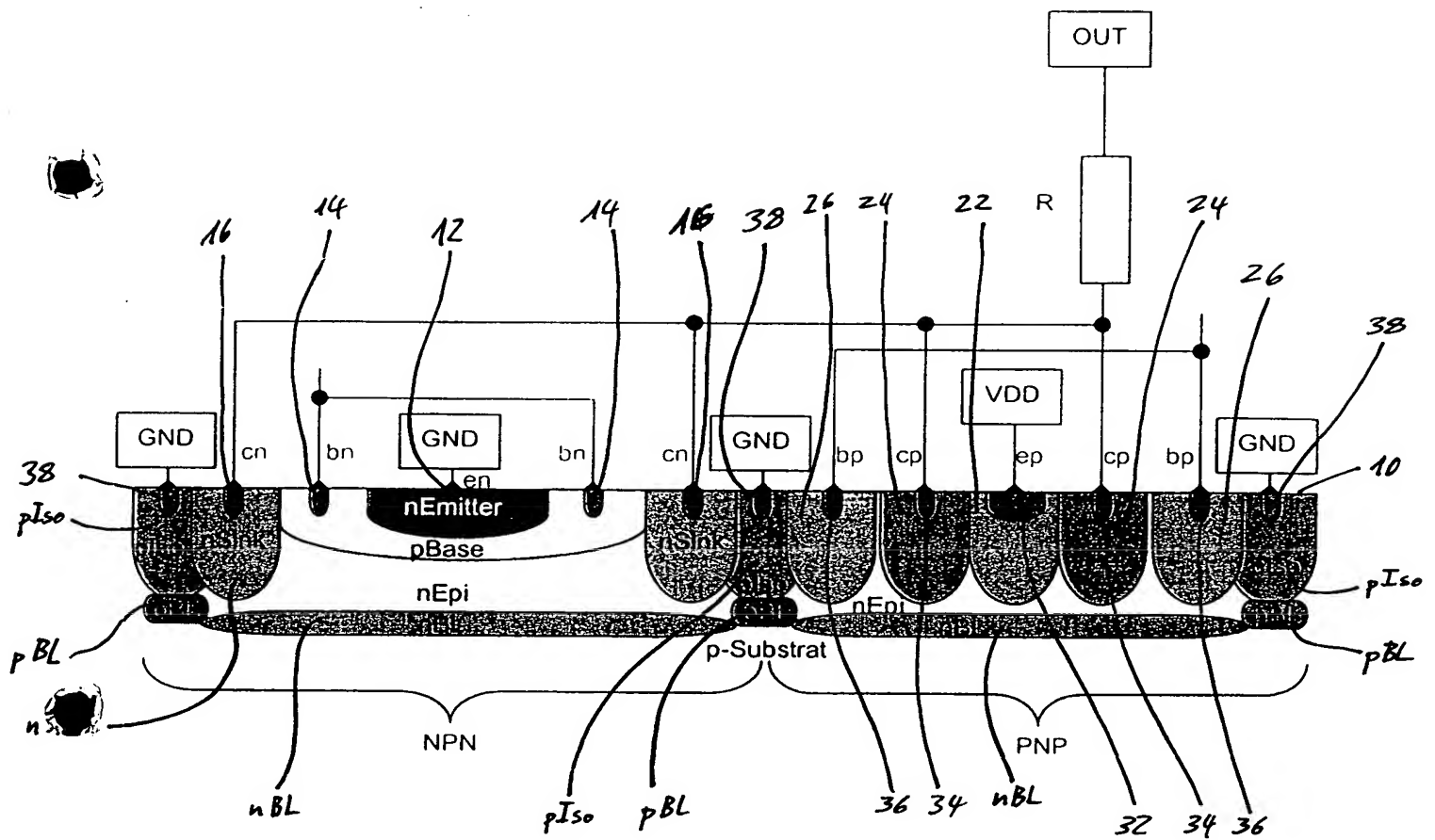


Fig. 9